

PUBLICATION NUMBER : 09251783
PUBLICATION DATE : 22-09-97

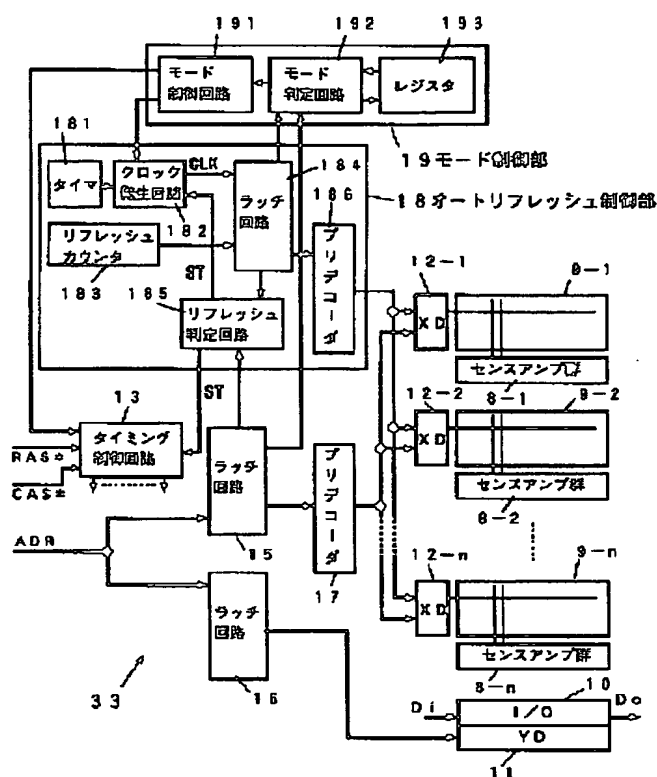
APPLICATION DATE : 14-03-96
APPLICATION NUMBER : 08057674

APPLICANT : HITACHI VLSI ENG CORP;

INVENTOR : NARUI SEIJI;

INT.CL. : G11C 14/00 G11C 11/406

TITLE : REFRESH CONTROL METHOD,
SEMICONDUCTOR STORAGE DEVICE,
AND DATA PROCESSING DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To shorten a refreshing operation time in a dynamic operation mode of a shadow RAM.

SOLUTION: This device is provided with a first control means 185 in which refreshing operation of a storage region is stopped and memory access has priority, a storage means 193 which can store a storage region in which refreshing operation is stopped, a second control means 192 for performing the next time memory access for a memory region in which refreshing is stopped with a non-volatile operation mode based on storage information. And when refreshing operation and external memory access conflicts each other, a refreshing time is made apparently zero by making external memory access have priority.

COPYRIGHT: (C)1997,JPO

(19)日本國特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公園番号

特開平9-251783

(43)公開日 平成9年(1997)9月22日

(51) Int.Cl.⁶

G 1 1 C 14/00

11/406

識別記号

庁内整理番号

FI

G 1.1 C 11/34

3 5 2 A

3 6 3 H

技術表示箇所

審査請求 未請求 請求項の数5 OL (全 13 頁)

(21) 出願番号

特圖平8-57674

(22) 出度日

平成8年(1996)3月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田隠河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72) 究明者 藤澤 宏樹

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 玉村 静世

最終頁に続く

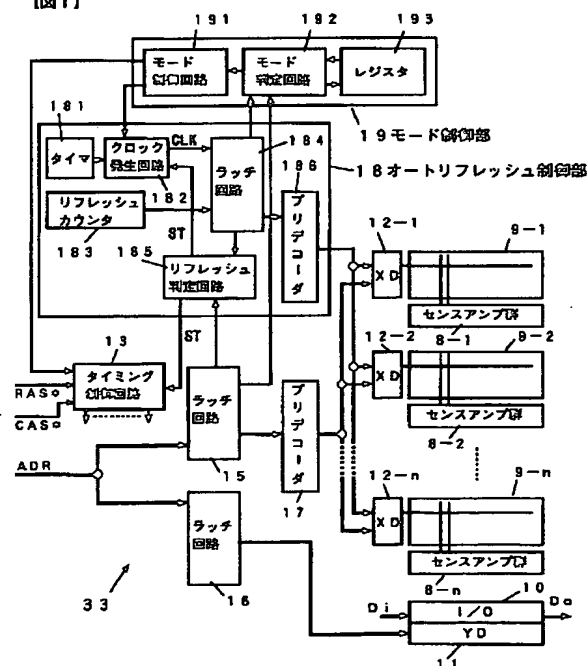
(54)【発明の名称】 リフレッシュ制御方法、半導体記憶装置、データ処理装置

(57) 【要約】

【課題】 シャドーRAMのダイナミック動作モードにおけるリフレッシュ動作費やす時間の短縮を図ることにある。

【解決手段】 外部からのメモリアクセスに対応する記憶領域がリフレッシュ動作中である場合に、その記憶領域のリフレッシュ動作を中止してメモリアクセスを優先する第1制御手段（185）と、リフレッシュ動作が中止された記憶領域を記憶可能な記憶手段（193）と、この記憶情報に基づいて、上記リフレッシュ中止にかかる記憶領域に対する次回のメモリアクセスを不揮発性動作モードで行うための第2制御手段（192）とを設け、リフレッシュ動作と外部からのメモリアクセスが競合した場合に外部からのメモリアクセスを優先することによって、リフレッシュ時間を見かけ上、ゼロにする。

【图 1】



所定の時間間隔で記憶情報のリフレッシュが必要とされる。このようにメモリセルが、PZTなどの強誘電体薄膜によるキャパシタを含んで形成されていて、上記のように不揮発性動作モードとダイナミック動作モードとを実現する半導体メモリを「シャドーRAM」と称する。

【0005】尚、シャドーRAMについて記載された文献の例としては、特開平7-21784号公報がある。

【0006】

【発明が解決しようとする課題】シャドーRAMにおいては、消費電力の増大を防ぐため、同時に動作するメモリセル数には限界がある。シャドーRAMのダイナミック動作モードにおいては、DRAMの場合と同様にリフレッシュが必要とされるから、記憶容量の増大に伴いリフレッシュサイクル数が増大する傾向にある。基本的にリフレッシュ動作中は、そのリフレッシュ動作が優先され、チップ外部からのランダムアクセスが禁止されるから、記憶容量の増大に伴ってリフレッシュサイクル数が増大すると、リフレッシュを行っている時間が長くなってしまい、データのリードライトを効率良く行うことができない。このことは、コンピュータシステムなどのデータ処理装置におけるデータ処理時間の短縮を阻害する。

【0007】本発明の目的は、シャドーRAMのリフレッシュ動作時間の短縮を図ることにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、内部で生成されたリフレッシュアドレスに対応するメモリマットが不揮発性動作モードであるか、ダイナミック動作モードであるかを判別し、ダイナミック動作モードであると判断された場合に、上記リフレッシュアドレスに対応するメモリマットのリフレッシュ動作を行い（ステップS54）、メモリアクセスのために外部から与えられたアドレスに対応するメモリマットがリフレッシュ動作中であるか否かを判別し（ステップS62）、リフレッシュ中であると判断された場合に当該メモリマットのリフレッシュ動作を中止して、上記外部からのアドレスに基づくメモリアクセスを優先し（ステップS63）、上記リフレッシュ動作が中止されたメモリマットについては次回のメモリアクセスを不揮発性動作モードで行うようにする。

【0011】また、メモリアクセスのために外部から与えられたアドレスに対応する記憶領域がリフレッシュ動作中である場合に、その記憶領域のリフレッシュ動作を中止してメモリアクセスを優先する第1制御手段（185）と、上記第1手段によってリフレッシュ動作が中止

された記憶領域の識別情報を記憶可能な記憶手段（193）と、上記記憶手段の記憶情報に基づいて、上記リフレッシュ中止にかかる記憶領域に対する次回のメモリアクセスを不揮発性動作モードで行うための第2制御手段（191、192）とを含んで半導体記憶装置を構成する。

【0012】さらに、上記半導体記憶装置と、それをアクセス可能な中央処理装置とを含んで、データ処理装置を形成することができる。

【0013】シャドーRAMにおいて、キャパシタの電荷蓄積による情報と、分極特性を利用した情報とが、動作時において常に一致しているような動作方式を用いると、ダイナミック動作モードにおいてリフレッシュを行わない領域は、キャパシタの電荷蓄積による情報は破壊されてしまうが、分極特性を利用した記憶情報は破壊されてはいない。そこで、リフレッシュ動作と外部からのメモリアクセスが競合した場合にリフレッシュ動作を中止して外部からのメモリアクセスを優先することによって、リフレッシュ時間を見かけ上、ゼロにする。このことが、リフレッシュ時間の短縮化を達成する。リフレッシュ中止にかかる記憶領域の記憶情報は、分極特性を利用した不揮発性動作モードで読出される。

【0014】

【発明の実施の形態】図2には本発明にかかるデータ処理装置の一実施形態であるコンピュータシステムが示される。

【0015】図2に示されるコンピュータシステムは、特に制限されないが、システムバスBUSを介して、CPU（中央処理装置）31、シャドーRAM（ランダム・アクセス・メモリ）33、ROM（リード・オンリ・メモリ）34、周辺装置制御部35、表示系36などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行うことができる。上記CPU31は、本システムの論理的中核とされ、主として、アドレス指定、情報の読み出しと書き込み、データの演算、命令のシーケンス、割り込の受付、記憶装置と入出力装置との情報交換の起動等の機能を有し、演算制御部や、バス制御部、メモリアクセス制御部などから構成される。上記シャドーRAM33、及びROM34は内部記憶装置として位置付けられている。ROM34には、各種プログラムやデータが記憶される。シャドーRAM33には、CPU31での計算や制御に必要なプログラムやデータがロードされる。周辺装置制御部35によって、記憶装置38の動作制御や、キーボード39などからの情報入力制御が行われる。記憶装置38には、ハードディスク装置等の補助記憶装置が適用される。

【0016】図1には上記シャドーRAM33の構成例が示される。

【0017】図1に示されるシャドーRAM33は、特

の指示に従ってメモリマットに対するリード又はライト動作を円滑に行うためのタイミング制御が行われる。例えば、モード制御回路191からの指示に基づいて、タイミング制御回路13は、リフレッシュ動作のためのワード線立上げタイミングや、プリチャージレベル、プリチャージタイミング、センスアンプの動作タイミング制御を行う。動作モード毎の各部の動作タイミングについては後に詳述する。

【0024】モード制御部19は、特に制限されないが、メモリマット9-1~9-n毎にダイナミック動作モードか不揮発性動作モードかの識別情報を記憶するためのレジスタ193と、このレジスタ193の記憶情報を参照することによりメモリマットのモード判定を行うためのモード判定回路192と、このモード判定回路192の判定結果に基づいて、クロック発生回路182や、タイミング制御回路13に各モード毎に適切な動作制御を指示するためのモード制御回路191とを含む。ダイナミック動作モードであるか、不揮発性動作モードであるかの判別がマット単位で行われるとき、レジスタ19は、メモリセルアレイにおける全マット分の動作モードの識別情報を記憶するのに必要な記憶容量を備える。特に制限されないが、動作モード識別情報はフラグとすることができる。すなわち、メモリマットに対応するフラグビットが論理値“1”となっているか、論理値“0”となっているかによって、上記モード判定回路192での動作モードの判定が可能とされる。また、そのような動作モード判定回路192により、メモリマットがダイナミック動作モードであると判定された場合には、モード制御回路191の制御により、クロック発生回路182でのクロックCLKの発生が許容され、その結果、リフレッシュカウンタ183の出力アドレスがラッチ回路184にラッチされることで、リフレッシュアドレスの出力が可能とされる。それに対して、不揮発性動作モードであると判定された場合にはリフレッシュは不要であるから、クロック発生回路182でのクロックCLKの発生が停止されることによりラッチ回路184でのアドレスラッチは行われなくなっている。また、モード制御回路191は、タイミング制御回路13に対して、動作モードに応じた動作タイミングの指示を行う。

【0025】図3にはメモリマット9-1~9-nを含むメモリセルアレイの構成例がその周辺回路との関係で示される。

【0026】メモリマットは、図3において代表的に示されるように複数のワード線WL0~WL2と、それに交差するように配置された複数の相補ビット線BLT0、BLB0、BLT1、BLB1、BLT2、BLB2と、ワード線とビット線の交差する箇所に配置されたメモリセルMCとを含む。全てのメモリセルMCは同一構成とされるため、そのうちの一つについて詳述する。

メモリセルMCは、特に制限されないが、PZTなどの強誘電体薄膜によって形成されたキャパシタ131と、それに結合されたnチャンネル型MOSトランジスタ132とから成る。キャパシタ131の他方の電極は、プレート電極と称され、このプレート電極にはプレート電位VPLが印加されるようになっている。プレート電位VPLは、特に制限されないが、高電位側電源Vccの半分の電圧レベルすなわち、 $V_{cc}/2$ レベルとされる。また、シェアード構成が採用され、メモリマット周辺回路であるセンスアンプSAC、プリチャージ回路PCC、カラムスイッチ回路CSWが、それらを挟むように配置されたメモリマット間で共有されるようになっている。すなわち、ビット線BLT0、BLB0、BLT1、BLB1、BLT2、BLB2に対応して複数のnチャンネル型MOSトランジスタ（シェアードMOSと称する）35、36が配置されており、このシェアードMOS135、136によって、メモリマットの選択が行われる。例えば、非選択状態では、シェアード制御信号SHR、SHLは共にハイレベルとされ、複数のシェアードMOS135、136がオン状態とされるが、メモリマット選択が行われた場合には、非選択マット側のシェアードMOSがオフ状態とされる。つまり、図3に示されるワード線WL0、WL1、WL2を含むメモリマットが選択される場合には、シェアード制御信号SHLがローレベルに移行されて複数のシェアードMOS136がオフ状態とされ、図3では省略されているが、複数のシェアードMOS136の右側に配置されるメモリマットが電氣的に切放されるようになっている。

【0027】図4には上記センスアンプSAC、プリチャージ回路PCC、カラムスイッチ回路CSWの構成例が示される。

【0028】複数のセンスアンプSAC、プリチャージ回路PCC、カラムスイッチ回路CSWはそれぞれ互いに同一構成とされ、複数個の単位回路によって形成される。ここでは、代表的に相補ビット線BLT0、BLB0に対応するものについて詳細に説明する。

【0029】センスアンプSACは、特に制限されないが、nチャンネル型MOSトランジスタQ11、Q12、及びpチャンネル型MOSトランジスタQ13、Q14が結合されて成るフリップフロップとされる。MOSトランジスタQ11、Q12の直列接続ノードにはセンスアンプ起動信号SNが入力され、MOSトランジスタQ13、Q14の直列接続ノードにはセンスアンプ起動信号SPが入力されるようになっている。センスアンプ起動信号SNがハイレベル、センスアンプ起動信号SPがローレベルになったとき、このセンスアンプSACは動作状態とされ、そのとき、相補ビット線BLT0、BLB0間の微小信号が、高電位側電源Vccレベル、及び低電位側電源Vssレベルにまで増幅される。

【0030】プリチャージ回路PCCは、相補ビット線

れるから、クロック発生回路182からのクロックCLKの発生が停止されること、リフレッシュサイクル83からのリフレッシュアドレスの伝達が行われ、その場合には当該メモリチップについてのリフレッシュは行われない。このように、タイマ181から所定の周期でトリガ信号が出力される毎に上記動作が繰返されることにより、メモリチップのオートリフレッシュが順次行われる。このように、レジスタ193内の動作モード識別情報に基づいてモード判定が行われ、タイミックス動作モードになっている場合のみリフレッシュが行われるようにしている。動作モードにかかわらず、一律にリフレッシュ動作を行う場合に比べて、リフレッシュ動作に伴う電力消費を最小限に抑えることができる。【0034】次に、外部からのアドレス入力によるメモリアクセスと上記リフレッシュ動作とが競合する場合について、図6のフローチャートに基づいて説明する。

【0035】外部からアドレスAD_Rが入力され（ステップS61）、タイミックス制御回路13の制御によりラッチ回路15に上記入力アドレスAD_Rがラッチされる

と、リフレッシュ判定回路185において、上記入力アドレスAD_Rに対応するメモリチップ（選択チップ）が現在リフレッシュ中か否かの判定が行われる（ステップS62）。この判定において、選択チップがリフレッシュ中である（YES）と判断された場合には、クロック発生回路182におけるクロックCLKの発生が停止されること、そのメモリチップについてのリフレッシュ動作が直ちに中止され、モード判定回路192によってレジスタ193の書換えが行われる（ステップS63）。このレジスタ書換えは、それまでのタイミックス動作モードから不揮発性動作モードに移行したこと

の識別情報である。例えば、レジスタ193のラジベツトが論理値“1”となっている場合をタイミックス動作モード、論理値“0”になっている場合を不揮発性動作モードとした場合に、上記ステップS63のレジスタ書換えでは、上記リフレッシュが中止されたメモリチップにおける全てのワードに対応するラジベツトが、論理値“1”から論理値“0”に書換えられる。そして、今度はその選択チップが不揮発性動作モードか否かの判定が行われる（ステップS66）。この判定は、レジスタ193内の動作モード識別情報を参照してモード判定回路192によって行われる。【0036】上記ステップS62の判定において選択チップはリフレッシュ中ではない（NO）と判断された場合には、現在のリフレッシュ動作を中止することなく、上記ステップS64の判定に移行される。上記ステップS64の判定において、選択チップが不揮発性動作モードではない（NO）と判断された場合には、タイミックス動作モード対応のメモリアクセスが行われる（ステップS66）。

【0037】上記ステップS64の判定において不揮発

BLT0、BLB0間を短絡するように接続されたnチャネル型MOSトランジスタQ15、及びnチャネル型MOSトランジスタQ16、Q17とから成る。n極にはプリチャージ制御信号PCが入力されるようになっている。このプリチャージ制御信号PCがハイレベルにアサートされたとき、相補ビット線BLT0、BLB0のプリチャージが行われる。プリチャージ電圧VPC0のプリチャージが行われる。タイミックス動作モード時のアクセスにおいては、Vcc/2レベルとされるが、不揮発性動作モードにおいては、その動作のためにワード選択直前で一時的に低電位側電源Vssレベルとされる。

【0031】カラムスラッチ回路CSWはnチャネル型MOSトランジスタQ18、Q19が結合されて成

る。このnチャネル型MOSトランジスタQ18、Q19のゲート電極には、図1に示されるカラムデコーダ11においてカラムアドレスをデコードして得たカラム選択信号YS0が入力されるようになっている。カラム選択信号YS0がハイレベルの状態、nチャネル型MOSトランジスタQ18、Q19がオンされて、相補ビット線BLT0、BLB0の信号が相補コモン線C10

T、C10Bに伝達される。【0032】次に、図5に示されるフローチャートに従って、オートリフレッシュ動作シーケンスについて説明

する。【0033】図1に示されるタイマ181から所定の周期でトリガ信号が発生され、それがクロック発生回路1

82に入力されることにより、このクロック発生回路182からクロックCLKが発生され（ステップS58からクロックCLKが出力信号がラッチ回路184にラッチされる（ステップS52）。すると、モード判定回路192により、上記ラッチ回路184にラッチされたアドレスに対応するメモリチップが現在タイミックス動作モードになっているか否かの判定

が、レジスタ193の動作モード識別情報を参照することによって行われる（ステップS53）。この判定において、タイミックス動作モードである（YES）と判定された場合には、モード制御回路191の制御により、クロック発生回路182でのクロック発生が許容され、また、タイミックス制御回路13への指示によってリフレッシュ動作における各種制御信号が生成されること

で、リフレッシュ動作が行われる（ステップS54）。そして、上記ステップS53の判定においてタイミックス動作モードではないと判定された場合には、それは、上記ラッチ回路184にラッチされたアドレスに対応するメモリチップが現在不揮発性動作状態になっていること

を意味し、それについてのリフレッシュ動作は不要とさ

性動作モードである(YES)と判断された場合には、不揮発性動作モード対応のメモリアクセスが行われ(ステップS65)、レジスタ193の書換えが行われる。上記ステップS65の不揮発性動作モードアクセスにおいては、外部からのアドレス指定によって選択されたメモリマット内の全てのワードが順次選択レベルに駆動されてリコール動作(ダイナミック動作モードへの切換え)が行われる。つまり、外部からのアドレス指定によって選択されたメモリマットにおける全てのワードが順次選択レベルに駆動されることによって、メモリセルデータが相補ビット線に出力されると、対応するセンスアンプで信号増幅が行われて、それによりメモリセルのキャパシタに、その読出し情報に基づく電荷蓄積が行われて、不揮発性動作モードからダイナミック動作モードへの切換えが行われる。このとき、カラム選択によって外部出力されるのは、外部からの入力アドレスADRに対応するワードについてのデータのみであって、その他のデータは外部に出力されない。上記のリコール動作に対応して、対応するメモリマットについての動作モード識別情報の書換えがレジスタ193に対して行われる。この結果、上記リコール動作に係るメモリマットについての次のメモリアクセスは、モード判定回路192によってレジスタ193内の動作モード識別情報が参照されて、ダイナミック動作モードで行われることになる。

【0038】図7には外部からのメモリアクセスにかかるメモリマットがリフレッシュ中である場合の動作タイミングが示される。

【0039】上記のように入力アドレスADRに対応するメモリマットがリフレッシュ中である場合、リフレッシュ判定回路185によってリフレッシュ中止信号STがアサートされると、それによって、クロック発生回路182からのクロックCLKの発生が停止され、外部からのメモリアクセスが優先される。つまり、ロウアドレスストロブ信号RAS*がローレベルにアサートされている期間において、リフレッシュ中信号がハイレベルにアサートされると、クロックCLKの発生中止され、リフレッシュ動作にかかるワード線WLがハイレベルの選択状態からローレベルの非選択状態に移行されることで、リフレッシュが中止される。そして、上記入力アドレスADRがデコードされることにより、上記入力アドレスADRに対応するワード線WLがハイレベルの選択状態に移行され、対応するメモリセルデータの読出しが可能とされる。図7に示される例では、リフレッシュ動作において相補ビット線に僅かな信号変化が生じているが、それは、上記リフレッシュの中止により消滅され、その後、上記メモリアクセスにかかるワード線選択により、対応する相補ビット線BLT、BLBにはメモリセル情報が読出され、それが対応するセンスアンプにより高電位側電源Vccレベル、及び低電位側電源Vssレベルにまで増幅される。

【0040】次に、不揮発性動作モードにおけるメモリアクセス、及びダイナミック動作モードにおけるメモリアクセスについて説明する。

【0041】図8には不揮発性動作モードにおけるメモリセルデータの読出し動作タイミングが示される。

【0042】説明の便宜上、ワード線WL0と相補ビット線BLT0、BLB0との関係で説明する。

【0043】不揮発動作モードにおいては、ワード線WLが選択される直前にプリチャージ電圧VPCがVcc/2レベルから低電位側電源Vssレベルにされ、プリチャージ制御信号PCがローレベルにネゲートされてからワード線WL0が選択される。つまり、ビット線BLT0、BLB0を低電位側電源Vssレベルにプリチャージし直してからワード線選択が行われてデータ読出しが行われる。それにより、強誘電体メモリセルの分極特性によるメモリセルデータが相補ビット線BLT0、BLB0に出力され、その後、センスアンプ起動信号SP、SNがアサートされてセンスアンプSACが動作されることにより、相補ビット線BLT0、BLB0の微小信号が、高電位側電源Vccレベル、低電位側電源Vssレベルにまで増幅される。この読出し動作によって、上記データ読出しにかかるメモリセルのキャパシタに電荷蓄積が行われるから、次回はダイナミック動作が可能となる。

【0044】図9にはダイナミック動作モードにおけるメモリセルデータの読出し動作タイミングが示される。

【0045】ダイナミック動作モードにおけるメモリセルデータの読出し動作は、基本的には通常のDRAMの場合と同様とされる。図9に示される動作タイミングにおいて、図8に示される不揮発性動作モードの場合と異なるのは、プリチャージ電圧VPCがVcc/2レベル一定であり、低電位側電源Vssレベルには変更されない点である。つまり、ビット線BLT0、BLB0がVss/2レベルにプリチャージされた状態でワード線選択が行われてメモリセルデータの読出しが行われる。

【0046】上記実施形態によれば、以下の作用効果を得ることができる。

【0047】外部からアドレスADRが入力され、タイミング制御回路13の制御によりラッチ回路15に上記入力アドレスADRがラッチされると、リフレッシュ判定回路185において、上記入力アドレスADRに対応するメモリマットが現在リフレッシュ中か否かの判定が行われ、この判定において、選択マットがリフレッシュ中であると判断された場合に、クロック発生回路182におけるクロックCLKの発生が停止されることで、そのメモリマットのついでのリフレッシュ動作が中止されて、モード判定回路192によってレジスタ193の書換えが行われることにより、それまでのダイナミック動作モードから不揮発性動作モードに移行したことが記録される。そのように、外部からのメモリアクセスと、内

【図1】本発明の一実施形態であるコンピュータシステムに含まれるシヤフーRAMの構成例ブロック図である。	131
【図2】上記コンピュータシステムの全体的な構成例ブロック図である。	131
【図3】上記シヤフーRAMに含まれるメモリアクトの構成例回路図である。	131
【図4】上記シヤフーRAMに含まれるメモリアクトの周辺回路についての構成例回路図である。	131
【図5】上記シヤフーRAMにおけるオートリフレッシュ動作シークセンスのフローチャートである。	131
【図6】上記シヤフーRAMにおいて、外部からのメモリアクセスと内部リフレッシュ動作とが融合する場合の動作シークセンスのフローチャートである。	131
【図7】上記シヤフーRAMにおいて、外部からのメモリアクセスにかかるメモリアクトがリフレッシュ中である場合の動作シークセンスのフローチャートである。	131
【図8】上記シヤフーRAMにおいて、不揮発性動作メモリアクトにおけるメモリアクトの読出し動作タイムング図である。	131
【図9】上記シヤフーRAMにおいて、ダイナミック動作メモリアクトにおけるメモリアクトの読出し動作タイムング図である。	131
【符号の説明】	131
9-1~9-n メモリアクト	131
8-1~8-n センサアレイ群	131
10 入出力回路	131
11 カラムデコーダ	131
12-1~12-n ロウデコーダ	131
13 タイミングコントローラ	131
15, 16, 184 ラッチ回路	131
17, 186 プリデコーダ	131
18 オートリフレッシュ制御部	131
31 CPU	131
33 シヤフーRAM	131
34 ROM	131
35 周辺装置制御部	131
36 表示系	131
38 記憶装置	131
39 キーボード	131
181 タイマ	131
182 クロック発生回路	131
183 リフレッシュカウスタ	131
185 リフレッシュ判定回路	131
19 モード制御部	131
191 モード制御回路	131
192 モード判定回路	131
193 レジスタ	131
131 キヤパシタ	131

部クロックに基づきリフレッシュ動作とが融合した場合に、リフレッシュ動作が中止されて外部からのメモリアクセスが優先されることから、例えばCPU31からのメモリアクセスを考えた場合、リフレッシュ動作によるアクセス待ち時間が無くなる。つまり、リフレッシュ動作に費やされる時間を見かけ上、ゼロにすることができ、それにより、CPU31によるメモリアクセスの効率向上を図ることができるので、データ処理時間の短縮を図ることができる。

【0054】すなわち、外部からのメモリアクセスと、内部クロックに基づきリフレッシュ動作とが融合した場合に、リフレッシュ動作が中止されて外部からのメモリアクセスが優先されることから、例えばCPU31からのメモリアクセスを考えた場合、リフレッシュ動作によるアクセス待ち時間が無くなる。つまり、リフレッシュ動作に費やされる時間を見かけ上、ゼロにすることができ、それにより、CPU31によるメモリアクセスの効率向上を図ることができるので、データ処理時間の短縮を図ることができる。

【0053】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0054】すなわち、外部からのメモリアクセスと、内部クロックに基づきリフレッシュ動作とが融合した場合に、リフレッシュ動作が中止されて外部からのメモリアクセスが優先されることから、例えばCPU31からのメモリアクセスを考えた場合、リフレッシュ動作によるアクセス待ち時間が無くなる。つまり、リフレッシュ動作に費やされる時間を見かけ上、ゼロにすることができ、それにより、CPU31によるメモリアクセスの効率向上を図ることができるので、データ処理時間の短縮を図ることができる。

【0052】本発明は、少なくとも強誘電体薄膜によるキャパシタを含んでメモリセルが形成されることを条件に適用することができる。

【0051】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるコンピュータシステムに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種データ処理装置に広く適用することができる。

【0052】本発明は、少なくとも強誘電体薄膜によるキャパシタを含んでメモリセルが形成されることを条件に適用することができる。

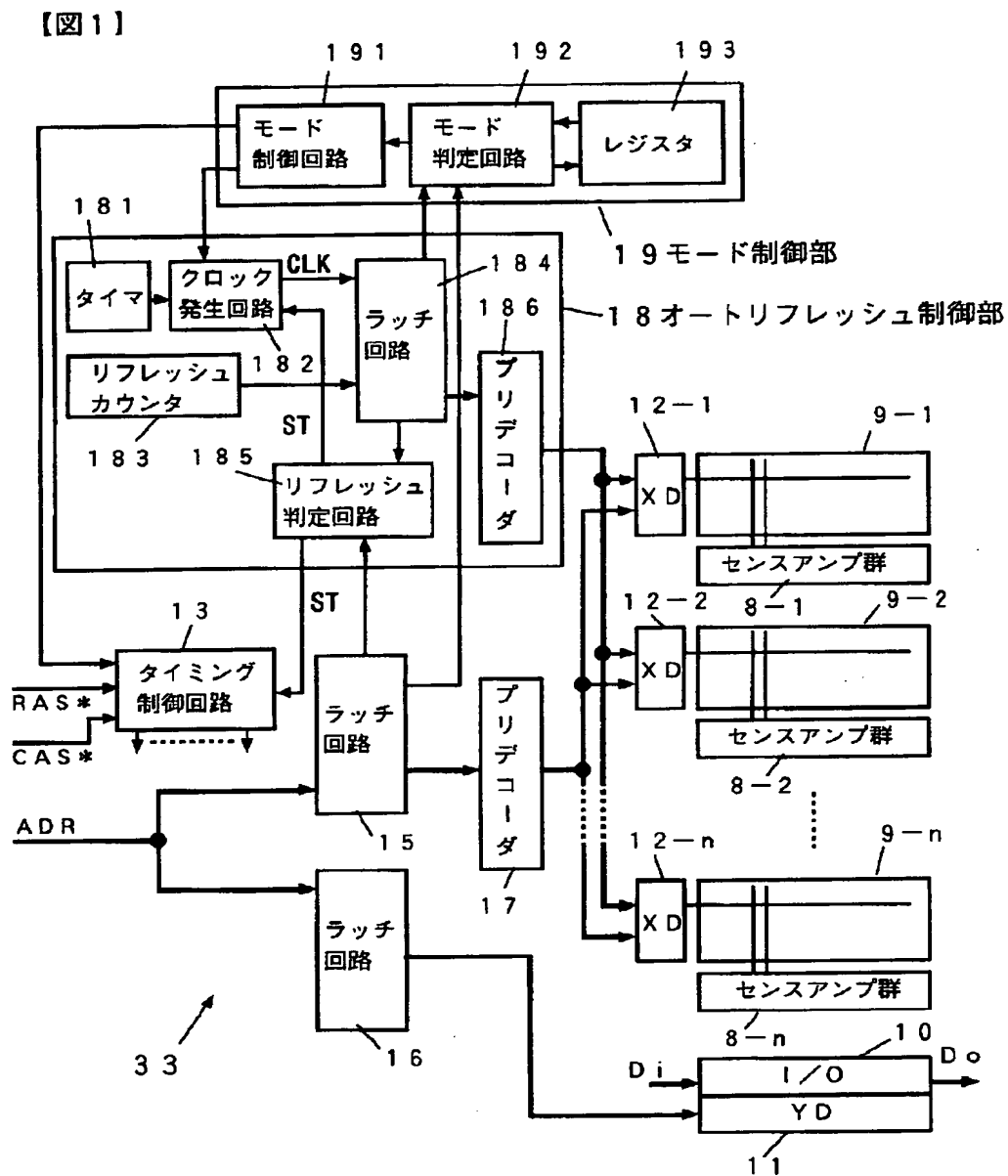
【0053】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0054】すなわち、外部からのメモリアクセスと、内部クロックに基づきリフレッシュ動作とが融合した場合に、リフレッシュ動作が中止されて外部からのメモリアクセスが優先されることから、例えばCPU31からのメモリアクセスを考えた場合、リフレッシュ動作によるアクセス待ち時間が無くなる。つまり、リフレッシュ動作に費やされる時間を見かけ上、ゼロにすることができ、それにより、CPU31によるメモリアクセスの効率向上を図ることができるので、データ処理時間の短縮を図ることができる。

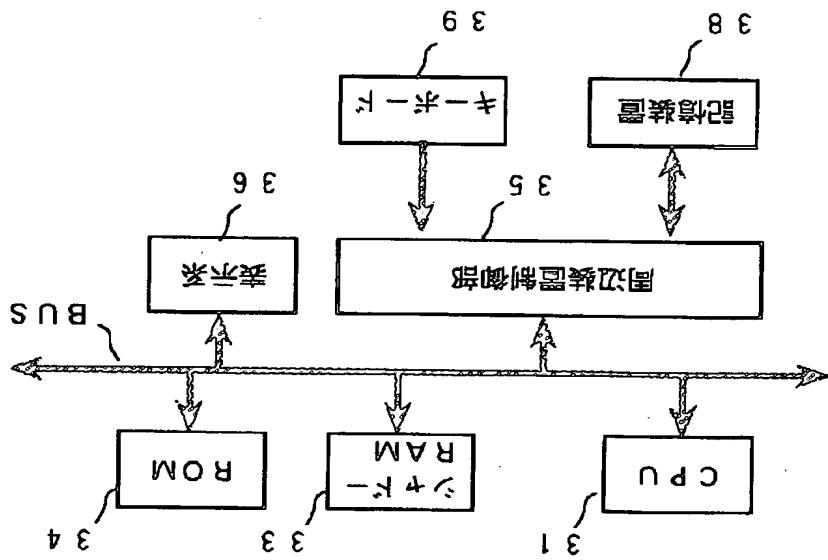
MC メモリセル

【図1】

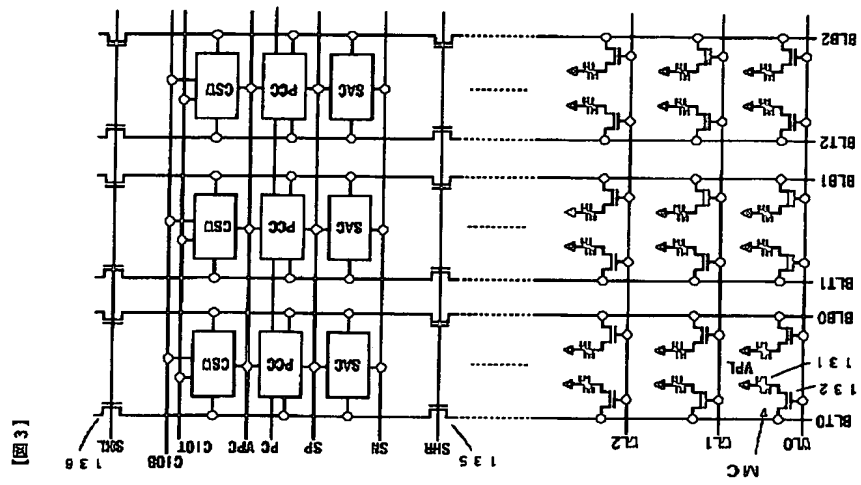


【図2】

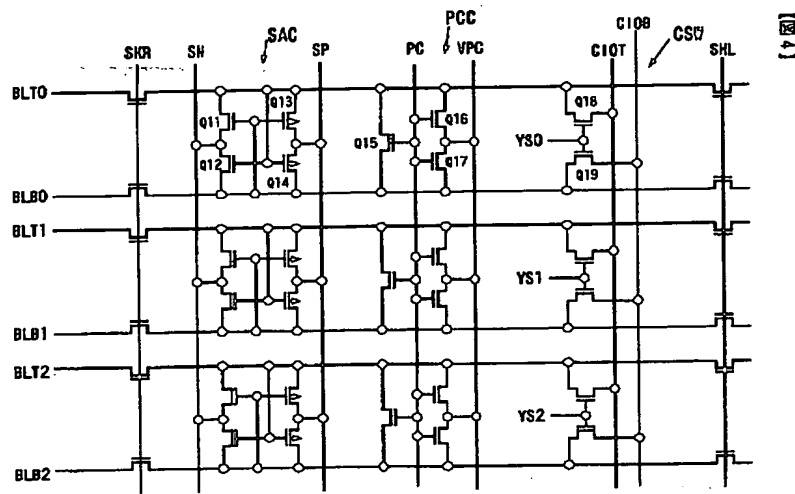
【図2】



【図3】

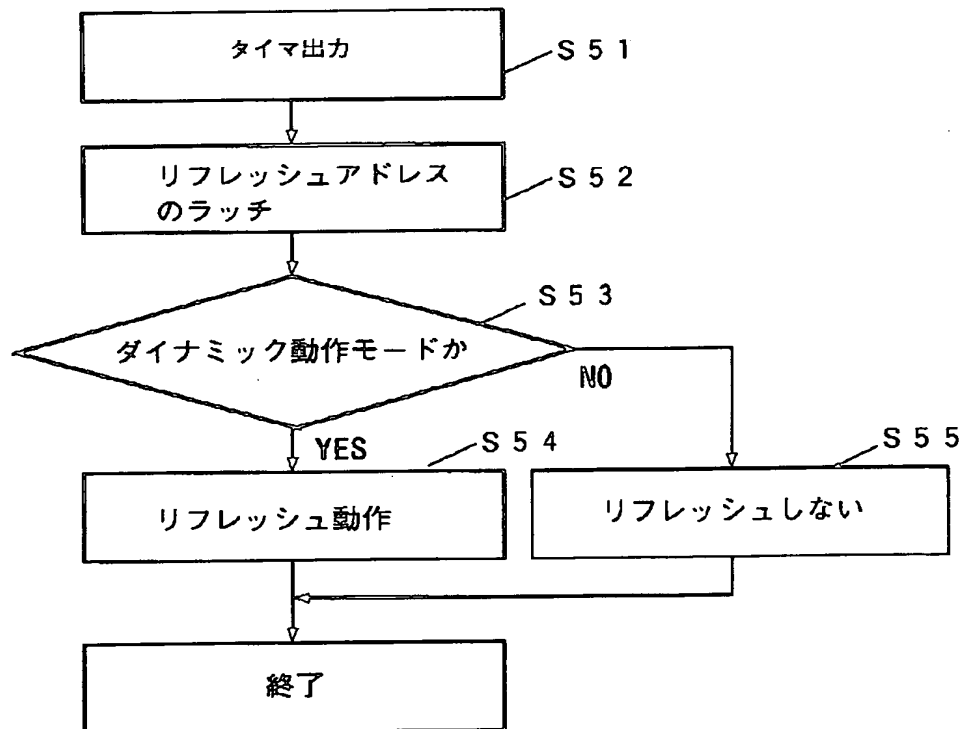


【図4】

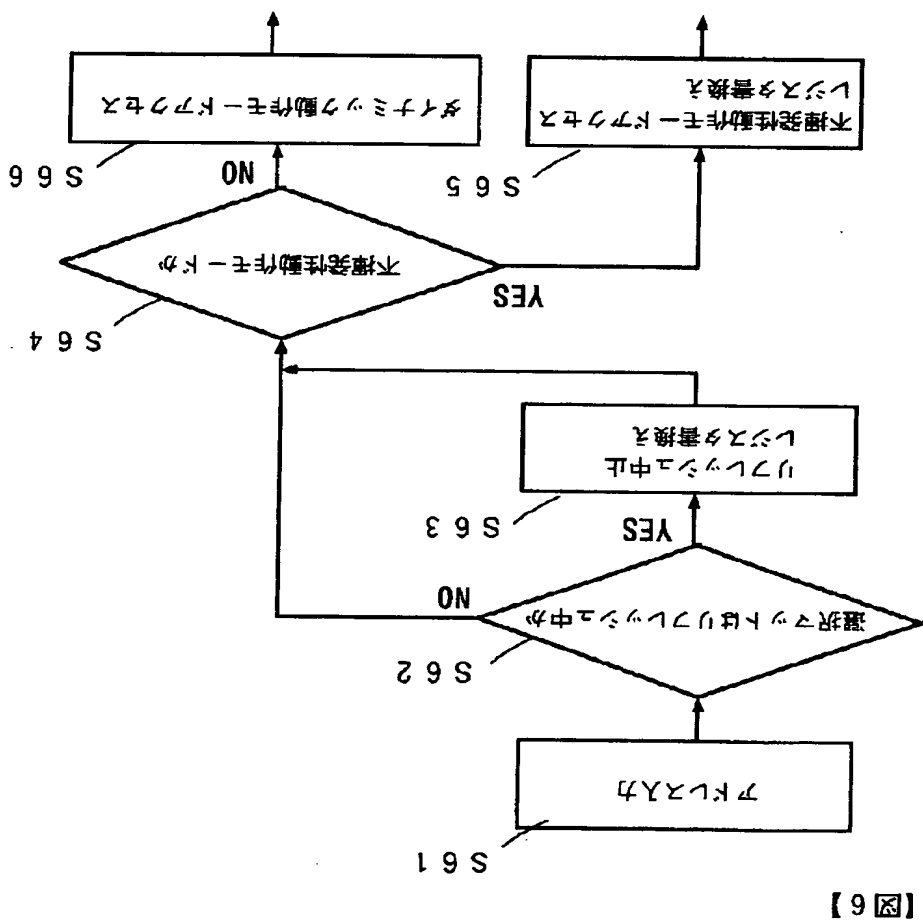


【図5】

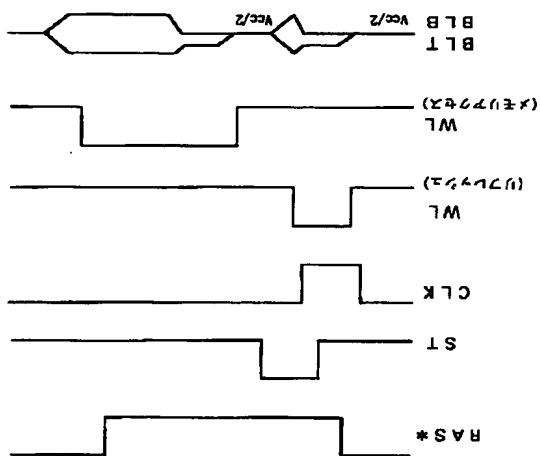
【図5】



【図6】



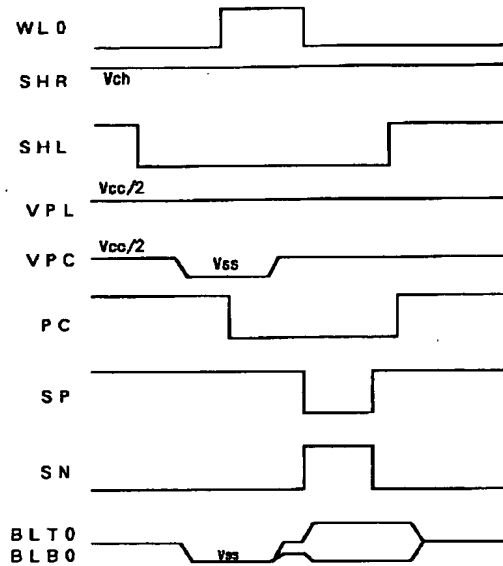
【図7】



【図7】

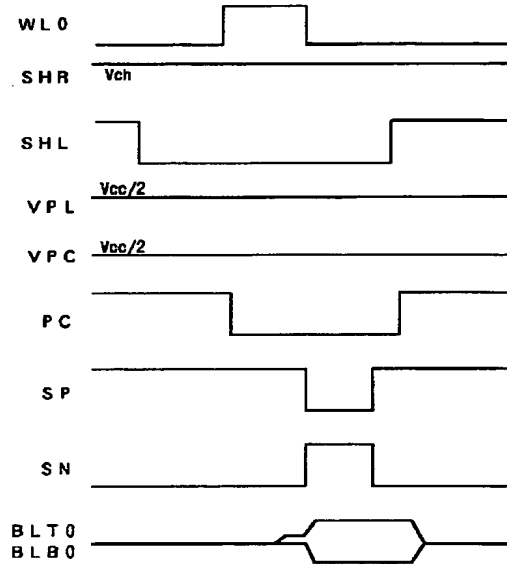
【図8】

【図8】



【図9】

【図9】



フロントページの続き

(72)発明者 永島 靖
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 長谷川 雅俊
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 鈴木 津幸
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内
(72)発明者 青木 康伸
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内
(72)発明者 成井 誠司
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内